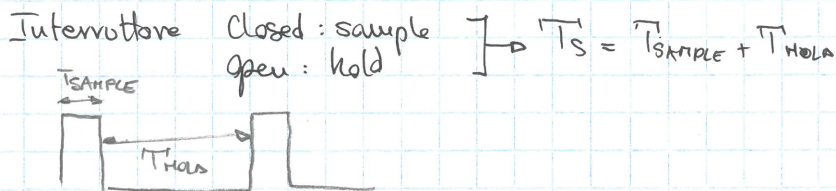
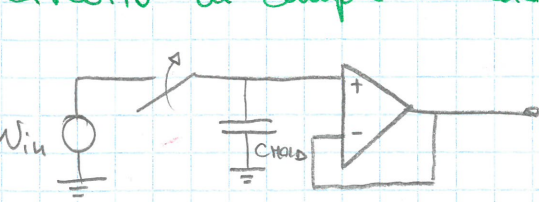


Circuito di Sample & hold



L'interruttore è realizzato con un MOS



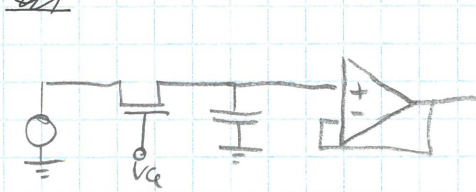
- Sample: carica della capacità \Rightarrow MOS in zona ohmica $\rightarrow R_{DS\ on}$ ($V_{GS} > V_{TH}$ ($V_{GD} > V_{TH}$)) $V_G > V_{TH} + V_{in\ max}$
 - Hold: capacità isolata da qualsiasi cosa \Rightarrow MOS spento $\Rightarrow V_{GS} < V_{TH}$ ($V_{GD} < V_{TH}$) $\rightarrow V_G < V_{TH} + V_{in\ min}$
- Ho due V_{in} e $[V_{in\ min}; V_{in\ max}]$

In fase di sample voglio avere un $R_{DS\ on}$ bassa:

$$R_{DS\ on} = \frac{\partial V_{GS}}{\partial I_D} \Big|_{V_{GS}=0} = \frac{1}{2k_n(V_{GS} - V_{TH})}$$

\rightarrow dipende dal gate la dimensione della $R_{DS\ on}$ (anziamente fissate le caratteristiche del MOS)

~~...~~



Non ideali

- ① errori statici $\left\{ \begin{array}{l} R_{in} \text{ finito del buffer} \\ A_o \text{ finito del buffer} \end{array} \right\}$ buffer non ideale
- ② errori dinamici $\left\{ \begin{array}{l} \text{minima durata sample} \\ \text{max durata hold} \end{array} \right\}$
- \rightarrow errori di iniezione di carica

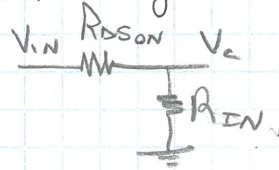
① $C_{id} = \frac{C_{id}}{1 - \frac{1}{A_{bop}}} = \frac{1}{1 + \frac{1}{A_o}}$ $A_{bop} = -A_o$ $G_{id} = 1$ \rightarrow possiamo però immaginare facilmente questa guadagno unitario

• R_{in} finita del buffer



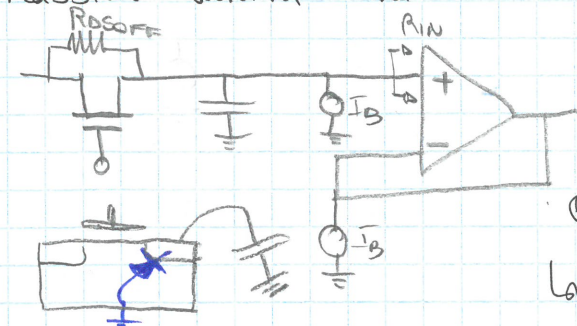
$R_{in} = R_{diff} (1 + A_o)$ mi dà fastidio perché il valore a regime raggiunto è la partizione tra R_{in} e $R_{DS\ on}$

$$V_c = V_{in} \cdot \frac{R_{in}}{R_{in} + R_{DS\ on}}$$



Tuttavia $R_{in} \gg R_{DS\ on} \rightarrow$ nella pratica praticamente non è rilevante.

Massima durata hold



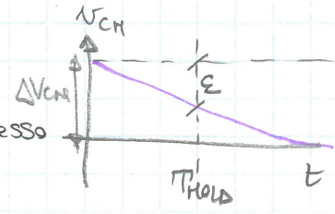
MOS: abbiamo un $R_{DS\ off}$ e abbiamo anche una giunzione PN equivalente in pol. inversa \rightarrow corrente di leakage del MOS

Aggiungiamo le correnti di bias dell'opamp + R_{in}

① Otteniamo diversi fattori che fanno ~~...~~ variare la tensione sul condensatore.

La tensione ad esempio decresce nel tempo, generalmente esponenzialmente

con un $\tau = C_{HOLD} \cdot (R_{DS\ OFF} \parallel R_{IN})$.



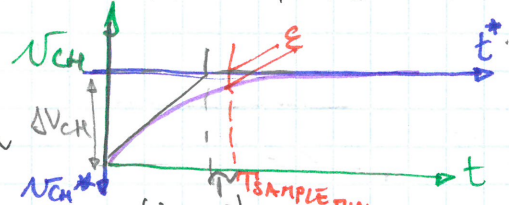
Approssiamo l'esponenziale con un andamento lineare. L'errore commesso

durante l'hold è $\epsilon = \frac{\Delta V_{CH}}{\tau} \cdot T_{HOLD}$

Devo scendere a compromessi per avere una buona velocità di carica

rispetto alla lunghezza del tempo di hold. Idealmente $T_{SAMPLE} = 0s, T_{HOLD} = \infty s$

Minima durata tempo di sample



La carica è legata a $\tau = C_H \cdot R_{DS\ ON}$

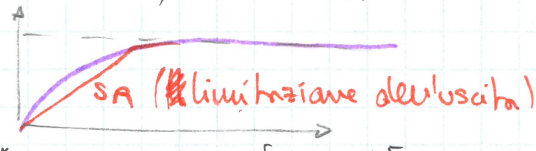
Se C_H è grossa per avere lungo T_{HOLD} , voglio ridurre

il più possibile $R_{DS\ ON}$

Fissando un max errore ϵ commesso, ottengo il minimo tempo di sample

$V_{CH} = \Delta V_{CH} \cdot e^{-\frac{t}{\tau}}$ (oss: ho invertito l'asse) $\epsilon = \Delta V_{CH} e^{-\frac{T_{SAMPLE\ MIN}}{\tau}}$

$T_{SAMPLE\ MIN} = \tau \ln \frac{\Delta V_{CH}}{\epsilon}$

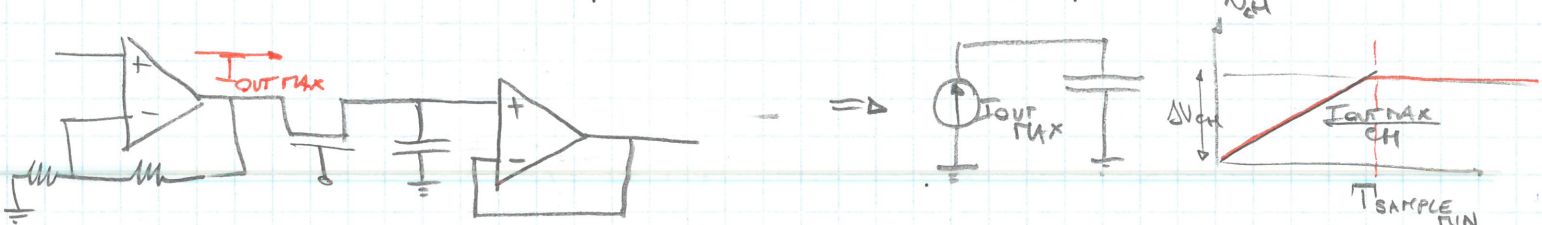


(Se non avessi messo l'asse V_{CH} avrei dovuto fare $V_{CH} = \Delta V_{CH} [1 - e^{-\frac{t}{\tau}}]$)

e poi $\Delta V_{CH} - \epsilon = \Delta V_{CH} [1 - e^{-\frac{T_{SAMPLE\ MIN}}{\tau}}]$ e trovo la stessa espressione

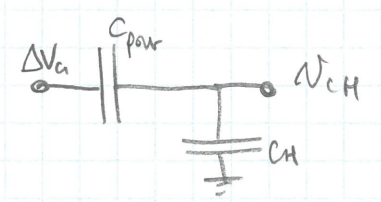
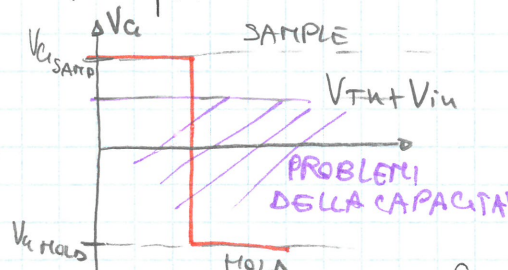
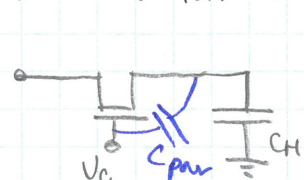
Se ho uno slew rate ho un'altra peculiarità che mi può limitare l'uscita

esempio di SR. Generalmente l'input arriva da un altro opamp affetto da SR



$\Delta V_{CH} = \frac{I_{OUT\ MAX}}{C_H} \cdot T_{SAMPLE\ MIN}$ Questo con la limitazione della corrente dell'opamp

Considero infine l'effetto parassita



$\Delta V_{CH} = \Delta V_C \cdot \frac{C_{PAR}}{C_{PAR} + C_H}$

Generalmente $C_H > 100 C_{PAR}$ quindi

ci sono due ~~reg~~ odg tra i condensatori. Talvolta però questo comporta problemi

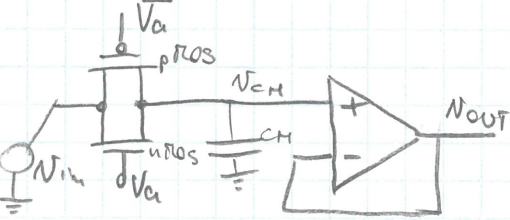
Quando sono in sample V_{CH} è imposta da $V_{IN} \rightarrow$ non si considera C_{PAR} parassita

Quando però $V_{CS} = V_{TH}$ $V_C - V_{IN} = V_{TH} \Rightarrow V_C = V_{TH} + V_{IN}$

Per i conduttori considero il caso peggiore ΔV_a (escursione massima) piuttosto che $V_{Tu} + V_{Tu} - V_{Hold}$ (escursione reale che vediamo)

Ho anche un C_{DS} parassita, un se V_{in} per Shannon varin poco tra un T_s e l'altre, C_{DS} ~~non~~ ha un basso e lento accoppiamento capacitivo \Rightarrow generalmente trascurabile

• Come mi libero dell'iniezione di carica? Modifico il circuito



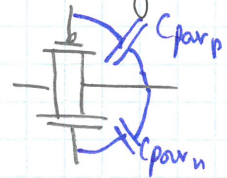
SAMPLE: $V_{GS} > V_{Tu}$ e $\overline{V_{GS}} < V_{Tp}$
 $(V_{GD} > V_{Tu})$ $(\overline{V_{GD}} < V_{Tp})$

HOLD: $V_{GS} < V_{Tu}$ e $\overline{V_{GS}} \geq V_{Tp}$
 $(V_{GD} < V_{Tu})$ $(\overline{V_{GD}} > V_{Tp})$

• Svantaggi: ho 2 transistor e devo ricavare $\overline{V_a}$

• Vantaggi: $R_{DSon} // R_{DSon,p} \rightarrow$ ho un R_{DSon} più piccola, ma ciò lo farei anche con un solo nMOS grande il doppio

• Guadagno nell'iniezione di carica



Se V_a e $\overline{V_g}$ sono uguali opposte e C_{par} sono uguali, ottengo un salto uguale e opposto \rightarrow zero effetti

Devo considerare solo il mismatch tra $C_{par,p}$ e $C_{par,n}$